

DMA TRANSFER CONTROL SYSTEM

Patent Number: JP2001142841
Publication date: 2001-05-25
Inventor(s): MOCHIZUKI HIDEO
Applicant(s): NEC CORP
Requested Patent: ☐ JP2001142841
Application Number: JP19990323379 19991112
Priority Number(s):
IPC Classification: G06F13/28; G06F13/38
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a DMA transfer control system, which attains improvement in transfer efficiency.

SOLUTION: Concerning the DMA transfer control system, in which data are transferred between a peripheral device 14 and a main memory 3 by a DMA device 1 provided with a read controller 6, a write controller 7 and a FIFO 9, the amount of data stored in the said FIFO 9 is monitored and a transfer mode and write/read timing the determined on the basis of this data amount.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-142841
(P2001-142841A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
G 0 6 F 13/28	3 1 0	G 0 6 F 13/28	3 1 0 J 5 B 0 6 1
13/38	3 1 0	13/38	3 1 0 D 5 B 0 7 7

審査請求 有 請求項の数13 O L (全 20 頁)

(21) 出願番号 特願平11-323379

(22) 出願日 平成11年11月12日 (1999.11.12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 望月 英生

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

Fターム(参考) 5B061 BA03 DD05 DD06 DD09 DD11
RR03

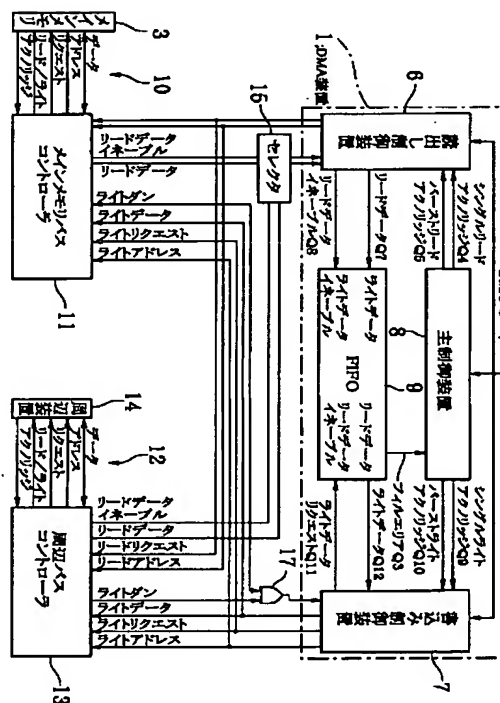
5B077 AA15 AA22 AA23 DD07 DD11
MM02

(54) 【発明の名称】 DMA転送制御方式

(57) 【要約】

【課題】 転送効率の向上を図ったDMA転送制御方式を提供する。

【解決手段】 読出し制御装置6と書き込み制御装置7とFIFO9とを備えたDMA装置1で周辺装置14とメインメモリ3間のデータの転送を行うDMA転送制御方式であって、前記FIFO9に蓄積されているデータ量を監視し、このデータ量に基づいて転送モード及び読み・読出しのタイミングを決定する。



【特許請求の範囲】

【請求項1】 読出し制御装置と書込み制御装置とFIFOとを備えたDMA装置で第1の装置と第2の装置間のデータの転送を行うDMA転送制御方式であって、前記FIFOに蓄積されているデータ量を監視し、このデータ量に基づいて転送モード及び書込み・読出しのタイミングを決定することを特徴とするDMA転送制御方式。

【請求項2】 前記FIFOに読出し可能な空き領域があるか否かを判断し、読出し可能な空き領域があるとき前記読出し制御装置を介して読出しを行い、読出し可能な空き領域がないとき読出し可能な空き領域になるまで待機することを特徴とする請求項1記載のDMA転送制御方式。

【請求項3】 前記読出しはシングルリードであることを特徴とする請求項1又は2記載のDMA転送制御方式。

【請求項4】 前記読出しはバーストリードであることを特徴とする請求項1又は2記載のDMA転送制御方式。

【請求項5】 前記FIFOに書込み可能なデータ量があるか否かを判断し、書込み可能なデータ量あるとき前記書込み制御装置を介して書込みを行い、書込み可能なデータ量がないとき書込み可能なデータ量になるまで待機することを特徴とする請求項1記載のDMA転送制御方式。

【請求項6】 前記書込みはシングルライトであることを特徴とする請求項1又は5記載のDMA転送制御方式。

【請求項7】 前記書込みはバーストライトであることを特徴とする請求項1又は5記載のDMA転送制御方式。

【請求項8】 前記DMA装置は、前記読出し制御装置及び書込み制御装置を制御する主制御装置を有し、該主制御装置に前記FIFOのデータ量の情報を送り、該主制御装置で前記データ量を判定して前記読出し制御装置及び書込み制御装置を制御することを特徴とする請求項1乃至7のいずれか1項記載のDMA転送制御方式。

【請求項9】 前記DMA装置は、前記FIFOにそのフリーエリアを出力するフリーエリア出力回路と、フィルエリアを出力するフィルエリア出力回路が設けられ、前記読出し制御装置にはフリーエリア信号に基づいてシングルリードあるいはバーストリードをしてよいかどうかを判断するリード判断回路が、かつ、前記書込み制御装置にはシングルライトあるいはバーストライトをしてよいかどうかを判断するライト判断回路が各々設けられ、前記リード判断回路の判断に基づいて前記読出し制御装置を、前記ライト判断回路の判断に基づいて前記書込み制御装置を制御することを特徴とする請求項1記載のDMA転送制御方式。

【請求項10】 前記FIFOのフリーエリアと読出しするバーストデータの長さとを比較し、フリーエリアの方が大きいと両者が等しいときバーストリードを許可することを特徴とする請求項9記載のDMA転送制御方式。

【請求項11】 前記FIFOにフリーエリアがあるか否かを判定し、フリーエリアがあるときシングルリードを許可することを特徴とする請求項9記載のDMA転送制御方式。

【請求項12】 前記FIFOのフィルエリアと書込みするバーストデータの長さとを比較し、フィルエリアの方が大きいと両者が等しいときバーストライトを許可することを特徴とする請求項9記載のDMA転送制御方式。

【請求項13】 前記FIFOにフィルエリアがあるか否かを判定し、フィルエリアがあるときシングルライトを許可することを特徴とする請求項9記載のDMA転送制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、DMA転送制御方式に係り、詳しくは、周辺装置とメインメモリ間に接続されたDMA装置で効率よくデータの転送制御を行うDMA転送制御方式に関する。

【0002】

【従来の技術】従来、異なるバス間でDMA転送を効率よく行う技術として、図21に示すようなDMA転送制御方式が知られている。この方式は、リードバス100に接続された読出し制御装置101と、ライトバス102に接続された書込み制御装置103との間にFIFO104と主制御装置105とを設け、この主制御装置105から読出し制御装置101及び書込み制御装置103に各々リードリクエスト（読出し要求）信号Q50とライトリクエスト（書込み要求）信号Q51とを出力し、また、読出し制御装置101及び書込み制御装置103から主制御装置105に各々読出し完了信号Q52と書込み完了信号Q53を出力するようになっている。また、読出し制御装置101からFIFO104にリードデータQ54が送られ、FIFO104から書込み制御装置103にライトデータQ55が送られるようになっている。

【0003】DMA転送スタートで、主制御装置8がリードリクエスト信号Q50を「1」にすることで読出しを開始し、読出し要求が完了すると、読出し完了信号Q52が「1」となり、それを受けてライトリクエスト信号Q53を「1」にする。そして、目的のDMA転送が完了すると、主制御装置105は動作を停止し、読出し制御装置101及び書込み制御装置103も動作を停止するようになっている（第1従来例：特開平10-273742号公報参照）。

【0004】また、特開昭62-231366号公報（第2従来例）には、メインメモリから一時的にデータを取り込む動作とデータを共有メモリへ移動させる動作とを並列的に行えるようにして、データの転送能力を向上させたチャネル制御装置の技術も開示されている。すなわち、システムバスに接続される主記憶装置をアクセスする際のアドレスを計数するアドレス計数回路と、境界アドレスの有無がセットされるフリップフロップと、前記アドレス計数回路の一部の内容と前記フリップフロップの値とを比較するアドレス比較回路と、前記主記憶装置から共有記憶回路へ出力すべきデータを一時的に格納するFIFO記憶回路と、前記アドレス比較回路の出力に基づいて前記主記憶装置から前記FIFO記憶回路への入出力制御回路と、前記FIFO記憶回路と前記共有記憶回路への入出力制御とを並行して実行する2つのDMA制御回路とを具備したものである。

【0005】また、特開平7-114510号公報（第3従来例）には、I/Oからのデータの取りこぼしが発生することを防ぐために、プロセッサの起動によらないDMA起動、起動条件制御を実現する技術が開示されている。すなわち、データ元のI/OにFIFO、DMACを設ける。このDMACは転送データを有するI/Oから転送先I/OへのDMAを開始するためにI/O内に蓄積される転送用データ量を、FIFOのライトポイントを見ることにより監視する。また、このDMACには、I/OのFIFO内のデータ量が特定値に達したことをDMAシーケンスに移るきっかけとするために、しきい値を設定するためのレジスタを設ける。さらにこのしきい値をネットワークの実際のトラフィック量に応じて動的なものにするためにしきい値制御回路を設けたものである。

【0006】

【発明が解決しようとする課題】しかしながら、第1従来例では、読み出しと書き込みをシーケンシャルに行う、すなわち、競合が起きなくても読み出しと書き込みを交互に行うため、図2.1のように読み出し側と書き込み側でバス100、102や制御装置105が分かれていても、並列処理による高速化ができず、転送効率が悪い。また、読み出しサイクルが完全に終了してからでないと書き込みを開始しないので、転送自体が遅い。さらに、読み出し側と書き込み側の動作速度やバス幅によっては制御を変更する必要があり、DMA転送制御方式が複雑になる、等の問題があった。また、第2従来例は、リード転送とライト転送を同時に行っているが、FIFO内にデータがあるかないかを、バッファ内にデータ有り（ordy信号）とバッファ内にデータの空き有り（irdy信号）の信号で判断するのみで、FIFOにいくつのデータがあるかを把握できない。これでは、FIFOにデータが例えば1個しかないときに、データを2個以上共有メモリに読出さねばならないような転送リクエストを受

け付けた場合、FIFOがアンダーフローとなり、また、空き領域が足りない場合はオーバーフローとなり、いずれもエラーとなるという問題があった。

【0007】さらにまた、第3従来例は、データ元のI/Oから転送先I/OへのDMA転送量が常に一定である状態しか想定されていない。したがって、ネットワークインタフェースを制御する手段がないため、システムバスをCPUが長時間占有してしまった場合には、バッファ（FIFO）のオーバーフローが発生するという問題があった。この発明は、上述の事情に鑑みなされたもので、DMA転送におけるデータ読出し制御とデータ書込み制御をFIFOのデータ量に基づいて各々独立に制御することにより、転送効率の向上を図ったDMA転送制御方式を提供することを第1の目的としている。また、バースト転送とシングル転送が混在していても正常に転送が行えるDMA転送制御方式を提供することを第2の目的としている。また、読出しと書込みの転送速度が異なっても正常に転送を行えるDMA転送制御方式を提供することを第3の目的としている。また、リードバスとライトバスが別々であれば、リードとライトを並行に行えるDMA転送制御方式を提供することを第4の目的としている。

【0008】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、読出し制御装置と書込み制御装置とFIFOとを備えたDMA装置で第1の装置と第2の装置間のデータの転送を行うDMA転送制御方式に係り、前記FIFOに蓄積されているデータ量を監視し、このデータ量に基づいて転送モード及び書込み・読出しのタイミングを決定することを特徴としている。

【0009】また、請求項2記載の発明は、請求項1記載のDMA転送制御方式に係り、前記FIFOに読出し可能な空き領域があるか否かを判断し、読出し可能な空き領域があるとき前記読出し制御装置を介して読出しを行い、空き領域がないとき読出し可能な空き領域になるまで待機することを特徴としている。

【0010】また、請求項3記載の発明は、請求項1又は2記載のDMA転送制御方式に係り、前記読出しはシングルリードであることを特徴としている。

【0011】また、請求項4記載の発明は、請求項1又は2記載のDMA転送制御方式に係り、前記読出しはバーストリードであることを特徴としている。

【0012】また、請求項5記載の発明は、請求項1又は2記載のDMA転送制御方式に係り、前記FIFOに書込み可能なデータ量があるか否かを判断し、書込み可能なデータ量あるとき前記書込み制御装置を介して書込みを行い、データ量がないとき書込み可能なデータ量になるまで待機することを特徴としている。

【0013】また、請求項6記載の発明は、請求項1又は5記載のDMA転送制御方式に係り、前記書込みはシ

ングルライトであることを特徴としている。

【0014】また、請求項3記載の発明は、請求項1又は5記載のDMA転送制御方式に係り、前記書込みはバーストライトであることを特徴としている。

【0015】また、請求項8記載の発明は、請求項1乃至7のいずれか1項記載のDMA転送制御方式に係り、前記読出し制御装置及び書込み制御装置を制御する主制御装置とを有し、該主制御装置に前記FIFOのデータ量の情報を送り、該主制御装置で前記データ量を判定して前記読出し制御装置及び書込み制御装置を制御することを特徴としている。

【0016】また、請求項9記載の発明は、請求項1記載のDMA転送制御方式に係り、前記DMA装置は、前記FIFOにそのフリーエリアを出力するフリーエリア出力回路とフィルエリアを出力するフィルエリア出力回路が設けられ、前記読出し制御装置にはフリーエリア信号に基づいてシングルリードあるいはバーストリードをしてよいかどうかを判断するリード判断回路が、かつ、書込み制御装置にはシングルライトあるいはバーストライトをしてよいかどうかを判断するライト判断回路が各々設けられ、前記リード判断回路の判断に基づいて前記読出し制御装置を、前記ライト判断回路の判断に基づいて前記書込み制御装置を制御することを特徴としている。

【0017】また、請求項10記載の発明は、請求項9記載のDMA転送制御方式に係り、前記FIFOのフリーエリアと読出しするバーストデータの長さとを比較し、フリーエリアの方が大きいと両者が等しいときバーストリードを許可することを特徴としている。

【0018】また、請求項11記載の発明は、請求項9記載のDMA転送制御方式に係り、前記FIFOにフリーエリアがあるか否かを判定し、フリーエリアがあるときシングルリードを許可することを特徴としている。

【0019】また、請求項12記載の発明は、請求項9記載のDMA転送制御方式に係り、前記FIFOのフィルエリアと書込みするバーストデータの長さとを比較し、フィルエリアの方が大きいと両者が等しいときバーストライトを許可することを特徴としている。

【0020】また、請求項13記載の発明は、請求項9記載のDMA転送制御方式に係り、前記FIFOにフィルエリアがあるか否かを判定し、フィルエリアがあるときシングルライトを許可することを特徴としている。

【0021】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。図1は、この発明のDMA転送制御方式を実施するシステム構成図、図2は、第1実施の形態のDMA装置の詳細を示すブロック図である。図1に示す装置は、DMA装置1と、このDMA装置1にメインメモリバス10及びメインメモリコントローラ11を介して接続されたメインメモリ3と、DM

A装置1に周辺バス12及び周辺バスコントローラ13を介して接続されたI/O装置4及びROM5からなる周辺装置14と、DMA装置1及びメインメモリ3に接続されたCPU2とで大略構成されている。メインメモリ3と周辺装置14間のデータの転送はDMA装置1を介してCPU2とは独立して行われるようになっている。

【0022】図2に示すように、上記DMA装置1は、読出し制御装置6と、書込み制御装置7と、主制御装置8と、FIFO9とで構成されている。読出し制御装置6は、上記メインメモリ3に、メインメモリバス10、メインメモリバスコントローラ11及びバス選択器15を介して接続されている。書込み制御装置7は上記周辺装置14に、周辺バス12、周辺バスコントローラ13及びOR回路17を介して接続されている。主制御装置8は、FIFO9に埋まっているデータ領域（フィルエリア）、換言すれば、FIFO9のデータ量を監視し、この情報に基づいて読出し制御装置6及び書込み制御装置7を制御するものである。すなわち、図3に示すように、次の（1）～（4）の4つの条件で読出しのアクノリッジ信号（以下、リードアクノリッジ信号）及び書込みのアクノリッジ信号（以下、ライトアクノリッジ信号）出力するようになっている。

【0023】（1）シングルリードアクノリッジ信号Q4は、FIFO9のフィルエリアがFIFO9の深さ（容量）より小さい場合、つまり、FIFO9にシングルリードできる空きがある場合に出力する。

（2）バーストリードアクノリッジ信号Q5は、FIFO9のフィルエリアが、FIFO9の深さからバーストリードの長さを引いた値以下の場合、つまりFIFO9にバーストリードできる空きがある場合に出力する。

（3）シングルライトアクノリッジ信号Q9は、FIFO9のフィルエリアが1以上の場合、つまりFIFO9にシングルライトできるデータがある場合に出力する。

（4）バーストライトアクノリッジ信号Q10は、FIFO9のフィルエリアがバーストライトの長さ以上の場合、つまりFIFO9にバーストライトできるデータがある場合に出力する。

【0024】次に、図4～図10によりDMA転送制御動作について説明する。図4は、第1実施の形態の読出し動作を示すフローチャート、図5は、第1実施の形態の書込み動作を示すフローチャート、図6は、I/O装置からメインメモリへの転送制御（シングルリード及びシングルライト）を示すタイムシーケンス、図7は、I/O装置からメインメモリへの転送制御（シングルリード及びバーストライト）を示すタイムシーケンス、図8は、メインメモリからI/O装置への転送制御（バーストリード及びシングルライト）を示すタイムシーケンス、図9は、I/O装置からROMへの転送制御を示すタイムシーケンス、図10は、ROMからメインメモリ

への転送制御を示すタイムシーケンスである。

【0025】最初に、図6～図10における信号の概略について説明する。各図において、Q1～Q13はDMA装置1、Q14～Q18は周辺バス12、またQ19～Q23はメインメモリバス10における以下の信号を各々示している。すなわち、Q1はクロック信号、Q2はDMAスタート信号、Q3はフィルエリア、Q4はシングルリードアクノリッジ信号、Q5はバーストリードアクノリッジ信号、Q6はリードリクエスト信号、Q7はリードデータ信号、Q8はリードデータイネーブル信号、Q9はシングルライトアクノリッジ信号、Q10はバーストライトアクノリッジ信号、Q11はライトリクエスト信号、Q12はライトデータ、Q13はライトデータイネーブル信号を示す。また、Q14はリクエスト信号、Q15はアドレス信号、Q16はデータ信号、Q17はリード/ライト信号、Q18はアクノリッジ信号、Q19はリクエスト信号、Q20はアドレス信号、Q21はデータ信号、Q22はリード/ライト信号、Q23はアクノリッジ信号を示す。

【0026】次に、図4及び図6を参照してシングルリードの動作について説明する。CPU2からのDMAスタート信号Q2が「H」（ハイ）になると、DMA装置1が動作を開始し（ステップS1）、リードアドレス及びリードカウンタをアップデートし（ステップS2）、次にDMA転送すべきデータが残っているか否かを判断する（ステップS3）。データが残っていない場合（NOの場合）はステップS1に戻り、データが蓄積されるまで繰り返す。そして、DMA転送すべきデータが残っている場合、すなわち、ステップS3がYESであればステップS4において、バーストリードが可能か否か。（一回に読み出した方がよい場合とアドレスの位置等により1回に読み出すことができない場合がある）を判断し、このフローではNO（バーストリードが不可能）であるとすると（YESの場合は後述する）。

【0027】次に、シングルリードアクノリッジ、すなわち、FIFO9にシングルリード可能な空き領域があるか否かを判断し（ステップS7）、シングルリード可能な空き領域がない場合は空き領域が出るまで待機し、空き領域がある場合はシングルリードアクノリッジ信号Q4が読出し制御装置6に出力されてシングルリードを行い、アドレスも更新する（ステップS8）。シングルリードの後ステップS3に戻り、シングルリードの結果DMA転送すべきデータが残っているか否かを判断し、残っていればステップS4以下の動作を行い、残っていなければステップS1に戻る。

【0028】次に、図5及び図6を参照してシングルライトの動作について説明する。CPU2からのDMAスタート信号Q2が出るとDMA装置1が動作を開始し（ステップS11）、ライトアドレス及びライトカウンタをアップデートし（ステップS12）、DMA転送す

べきデータが残っているか否かを判断する（ステップS13）。データが残っていない場合（NOの場合）はステップS11に戻る。そして、DMA転送すべきデータが残っている場合、すなわち、ステップS13がYESであればステップS14において、バーストライトが可能なデータがあるか否かを判断する。ステップS14において、NOであれば（バーストライトが不可能）、シングルライトアクノリッジ、すなわち、FIFO9にシングルライト可能なデータがあるか否かを判断し（ステップS17）、シングルライト可能なデータがない場合（データが0）はデータが蓄積されるまで待機し、データが1個でもある場合はシングルライトアクノリッジ信号Q9が書込み制御装置7に出力されてシングルライトを行い、アドレスも更新する（ステップS18）。シングルライトの後、ステップS13に戻り、シングルライトの結果DMA転送すべきデータが残っているか否かを判断し、残っていればステップS14以下の動作、残っていなければステップS11に戻る。

【0029】上記転送制御動作を、図6のタイムシーケンスによる信号の流れでさらに説明する。先ず、DMAスタート信号Q2が出た時点でFIFO9のデータは0、すなわち、フィルエリア信号Q3は0であり、シングルリードアクノリッジ信号Q4でシングルリードリクエスト信号Q6が出る。リードデータイネーブル信号Q8でデータを周辺から読出してきたのでFIFO9におけるデータ量、すなわち、フィルエリア信号Q3におけるデータ量は1個増え（+1）、その結果シングルライトアクノリッジ信号Q9が出て、ライトリクエスト信号Q11が出ることになる。また、ライトデータイネーブル信号Q13によりFIFO9からメインメモリ3にデータが書込まれるため、FIFO9のデータ量は1個減り、フィルエリア信号Q3が-1される。

【0030】図11に、上記各信号Qの流れを示している。すなわち、図11（a）では、フィルエリア信号Q3から、シングルリードアクノリッジ信号Q4、バーストライトアクノリッジ信号Q5、シングルライトアクノリッジ信号Q9、及びバーストライトアクノリッジ信号Q10が出ることを示す。また、シングルリードアクノリッジ信号Q4及びバーストライトアクノリッジ信号Q5からリードリクエスト信号Q6が、シングルライトアクノリッジ信号Q9及びバーストライトアクノリッジ信号Q10からライトリクエスト信号Q11が出ることを示している。また、図11（b）では、リードデータイネーブル信号Q8により、シングルリードを1回行った結果、フィルエリア信号Q3におけるデータ量が1となり、そのデータをライトデータイネーブル信号Q13によるシングルライトを行った結果、フィルエリア信号Q3におけるデータ量がQとなったことを示している。

【0031】メインメモリバス10においては、Q14

のライトリクエスト信号(Q11と同じ信号)が出て、アドレス信号Q15が出るとデータQ16が帰ってきて、Q18のアクノリッジ信号(Q13と同じ信号)で有効と判断する。周辺バス12においては、リードリクエスト信号Q19(Q6と同じ信号)が出て、アドレス信号Q20が出るとデータQ21が帰ってきて、Q23のアクノリッジ信号(Q8と同じ信号)で有効と判断する。図7は、上記のステップS4において、バーストリードイネーブルがNOであり(図6と同じ)、かつ、ステップS14において、バーストライトイネーブルがYES、すなわち、バーストライト可能な場合の転送制御動作を示している。ステップS14でYESであれば、ステップS15において、FIFO9にバーストライト可能なデータがあるか否かを判断し、FIFO9にバーストライト可能なデータがない場合(NOの場合)、データが蓄積されるまで待機し、バーストライト可能なデータがある場合(YESの場合)、バーストライトアクノリッジ信号Q10が書き込み制御装置7に出力されてバーストライトを行い、バーストライトデータQ12(この例ではデータ0~3の4個のデータ)がメインメモリ3に書込まれる(ステップS16)。バーストライトの後、ステップS13に戻り、バーストライトの結果DMA転送すべきデータが残っているか否かを判断し、残っていればステップS14以下の動作を行い、残っていなければステップS11に戻る。

【0032】図8は、上記のステップS4において、バーストリードイネーブルがYES、ステップS14において、バーストライトイネーブルがNOであるとき(図6と同じ)の転送制御動作を示している(FIFO9の深さ=5の例)。バーストリードが可能、すなわち、ステップS4がYESであれば、ステップS5において、FIFO9にバーストリード可能な空き領域があるか否かを判断する。FIFO9にバーストリード可能な空き領域がない場合(NOの場合)、空き領域が出るまで待機し、バーストリード可能な空き領域がある場合(YESの場合)、バーストリードアクノリッジ信号Q5が読出し制御装置6に出力されてバーストリードを行い、アドレスも更新する(ステップS6)。ステップS6のバーストリードの後、ステップS3に戻り、バーストリードの結果DMA転送すべきデータが残っているか否かを判断し、残っていればステップS4以下の動作、残っていなければステップS1に戻る。

【0033】図9は、I/O装置4とROM5の周辺バス12における転送制御動作を示している。前記周辺バスコントローラ13がQ19~Q23のように正常に動作しておれば(例えば、読出しの途中でライトリクエストを受けるような不正常的な動作がない)、普通に読出し(シングルリード、バーストリード)、書き込み(シングルライト、バーストリード)を繰り返すDMA装置として動作することを示している。図10は、上記のステッ

プS4においてバーストリードイネーブルがYES、ステップS14においてバーストライトイネーブルがYESのとき、すなわち、バーストリード及びバーストライトの両者(共にバースト長=4の例)を行うときの転送制御動作を示している。すなわち、信号Q2によりDMAスタート(ステップS1)し、バーストリードアクノリッジ信号Q5でステップS5がYESとなり、バーストリードリクエスト信号Q6でバーストリードを行う(ステップS6)。また、バーストライトアクノリッジ信号Q10でステップS15がYESとなり、バーストライトリクエスト信号Q11でバーストライトを行い(ステップS16)、バーストライトデータQ12が書込まれる。

【0034】図12は、前記FIFO9の詳細を示しており、ライトイネーブル信号Q13がライトポインタ26に入るとFIFO9にデータ25を書込み、リードイネーブル信号Q8がリードポインタ27に入るとFIFO9のデータ25を読出すようになっている。図13は、図12に示すFIFO9の書き込みの動作を示す。スタートでFIFO9がリセットされると、ライトポインタ26及びフィルエリアはともに0である(ステップS41)。そして、ライトイネーブル信号Q13がライトポインタ26に入ってくると(ステップS42)、データを1個上に上げ(+1)、データが埋まっている領域(フィルエリア)も+1となる(ステップS43)。このフィルエリア信号Q3を前記主制御装置8に送るようになっている(図2参照)。ライトポインタ26がFIFO9の深さ以上か否かを判断し(ステップS44)、YESであればライトポインタ26を0にし、ステップS42に戻る(ステップS45)。

【0035】図14は、図12に示すFIFO9の読出しの動作を示す。スタートでFIFO9がリセットされると、リードポインタ27は0である(ステップS51)。そして、リードイネーブル信号Q8がリードポインタ27に入ってくると(ステップS52)、データを1個上に上げ(+1)、フィルエリアは-1される(ステップS53)。このフィルエリア信号Q3を同様に前記主制御装置8に送るようになっている(図2参照)。リードポインタ27がFIFO9の量以上か否かを判断し(ステップS54)、YESであればリードポインタ27を0とし、ステップS53に戻る(ステップS55)。図15は、前記主制御装置8の機能を、読出し制御装置6、書き込み制御装置7及びFIFO9に分担させて、第1実施の形態の主制御装置8を除去した第2実施の形態を示している。

【0036】FIFO9にはフリーエリア信号Q30を出力するフリーエリア出力回路20と、フィルエリア信号を出力するフィルエリア出力回路21を設けている。そして、読出し制御装置6には、フリーエリア信号Q30に基づいてシングルリードあるいはバーストリードを

してよいかどうかを判断するリード判断回路22を設けている。また、書き込み制御装置7には、フィルエリア信号Q31に基づいてシングルライトあるいはバーストライトをしてよいかどうかを判断するライト判断回路23を設けている。図16及び図17は、上記図15に示すDMA転送制御装置のフローチャートを示している。図16は読出し動作を示しており、ステップS21～ステップS28は図4のステップS1～ステップS8に対応している。図4と異なる点は、ステップS25において、前記フリーエリアがバーストの長さより大きい（又は等しい）か否かを判断し、また、ステップS27において、フリーエリアがあるか否かを判断する点である。ステップS25でYESであればステップS26でバーストリードが許可され、ステップS27でYESであればステップS26でシングルリードが許可される点は図4の動作と同じである。ここで、バーストリードが許可されていれば、シングルリードも当然許可されており、バーストリードリクエストとシングルリードリクエストのいずれかを受けつけることができる。

【0037】また、図17は書き込み動作を示しており、ステップS31～ステップS38は、図4のステップS11～ステップS18に対応している。図4の動作と異なる点は、ステップS35において、前記フィルエリアがバーストの長さより大きい（又は等しい）か否かを判断し、また、ステップS37において、フィルエリアがあるか否かを判断する点である。ステップS35でYESであればステップS36でバーストライトが許可され、ステップS37でYESであればステップS36でシングルライトを行う点は図4の動作と同じである。この場合も、バーストライトが許可されていれば、シングルライトも当然許可されており、バーストライトリクエストとシングルライトリクエストのいずれかを受けつけることができる。

【0038】図18は、上記図15のFIFO9の詳細を示しており、ライトイネーブル信号Q13がライトポインタ36に入るとFIFO9にデータ35を書込み、リードイネーブル信号Q8がリードポインタ37に入るとFIFO9のデータ35を読出すようになっている。図19は読出しの動作、図20は書き込みの動作を示している。図19において、スタートでFIFO9がリセットされると、ライトポインタ36及びフィルエリアはともに0である（ステップS61）。そして、ライトイネーブル信号Q13がライトポインタ36に入ってくると（ステップS62）、データを1個上に上げ（+1）、フィルエリアも+1となると共に、フリーエリアが1個減る（-1）ことになる（ステップS63）。以下は図4の動作と同じである。

【0039】図20において、スタートでFIFO9がリセットされると、リードポインタ37は0であると共に、フリーエリアとFIFO9の深さは等しい（ステッ

プS71）。そして、リードイネーブル信号Q8がリードポインタ37に入ってくると（ステップS72）、データを1個上に上げ（+1）、埋まっているデータ量（フィルエリア）は1個減る（-1）となると共に、フリーエリアが1個増える（+1）ことになる（ステップS73）。以下は図4の動作と同じである。

【0040】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、種々のバースト長に対応したコントローラを使用することにより、状況に応じて最適のバースト長で転送することができる。例えば、図16のステップS25において、フリーエリアが8、4、又は2以上のとき、バーストリード長が各々8、4、又は2で転送でき、フリーエリアが1以上のとき、シングルリードで転送できる。さらに、図17のステップS35において、フィルエリアが8、4、又は2以上のとき、バーストライト長が各々8、4、又は2で転送でき、フィルエリアが1以上のとき、シングルライトで転送できる。なお、上記8、4、2、1等の数値は単なる例示であって、この組み合わせは任意に変更可能である。また、リードとライトとで転送長が等しく、転送速度が異なる場合であっても、FIFOのフィルエリア又はフリーエリアを監視することによって、転送タイミングを決定しているため、データのオーバーフローやアンダーフローを生じることなく、常に正しく転送可能である。

【0041】

【発明の効果】以上説明したように、この発明のDMA転送制御方式によれば、読出し制御装置と書き込み制御装置でFIFOに蓄積されているデータ量を監視し、このデータ量の応じて転送モード及び読出し・書き込みのタイミングを決定するようにしたので、バースト転送とシングル転送が混在してもFIFOのオーバーフローやアンダーフローを生じることなく正常に転送を行うことができる。また、読出しと書き込みの転送速度が異なっても、正常に転送を行うことができる。また、読出しと書き込みでバスの競合さえ起こさなければ、読出しと書き込みを同時に行うことができ、転送効率の高いDMA方式とすることができる。さらにまた、DMA転送元（周辺装置）と転送先（メインメモリ）の動作速度やバス幅などの組み合わせに依存せず、同じ制御でDMAを実現できる。さらにまた、最初のリードリクエスト信号の終了を待たずに書き込みを開始できるため、転送速度を速くすることができる。

【図面の簡単な説明】

【図1】この発明のDMA転送制御方式を実施するシステム構成図である。

【図2】第1実施の形態のDMA装置の詳細を示すブロック図である。

【図 3】第 1 実施の形態の主制御装置の論理を示す説明図である。

【図 4】第 1 実施の形態のリード動作を示すフローチャートである。

【図 5】第 1 実施の形態のライト動作を示すフローチャートである。

【図 6】周辺装置からメインメモリへの転送制御を示すタイムシーケンスである。

【図 7】周辺装置からメインメモリへの転送制御を示すタイムシーケンスである。

【図 8】メインメモリから周辺装置への転送制御を示すタイムシーケンスである。

【図 9】I/O 装置から ROM への転送制御を示すタイムシーケンスである。

【図 10】ROM からメインメモリへの転送制御を示すタイムシーケンスである。

【図 11】図 6 のタイムシーケンスにおける信号の流れを示す説明図である。

【図 12】第 1 実施の形態の FIFO の動作を示す説明図である。

【図 13】図 12 のライト動作を示すフローチャートである。

【図 14】図 12 のリード動作を示すフローチャートである。

【図 15】この発明の DMA 転送制御方式の第 2 実施の形態であって、DMA 装置の詳細を示すブロック図である。

る。

【図 16】第 2 実施の形態のリード動作を示すフローチャートである。

【図 17】第 2 実施の形態のライト動作を示すフローチャートである。

【図 18】第 2 実施の形態の FIFO の動作を示す説明図である。

【図 19】図 18 のライト動作を示すフローチャートである。

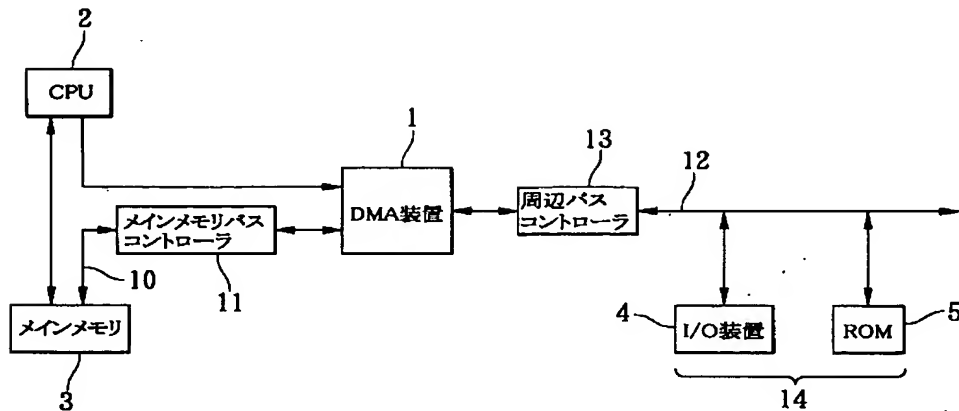
【図 20】図 18 のリード動作を示すフローチャートである。

【図 21】従来の DMA 転送制御方式の一例を示すブロック図である。

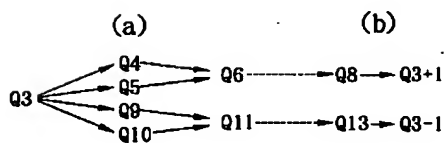
【符号の説明】

- 1 DMA 装置
- 3 メインメモリ (第 2 の装置)
- 6 読出し制御装置
- 7 書込み制御装置
- 8 主制御装置
- 9 FIFO
- 14 周辺装置 (第 1 の装置)
- 20 フリーエリア出力回路
- 21 フィルエリア出力回路
- 22 リード判断回路
- 23 ライト判断回路

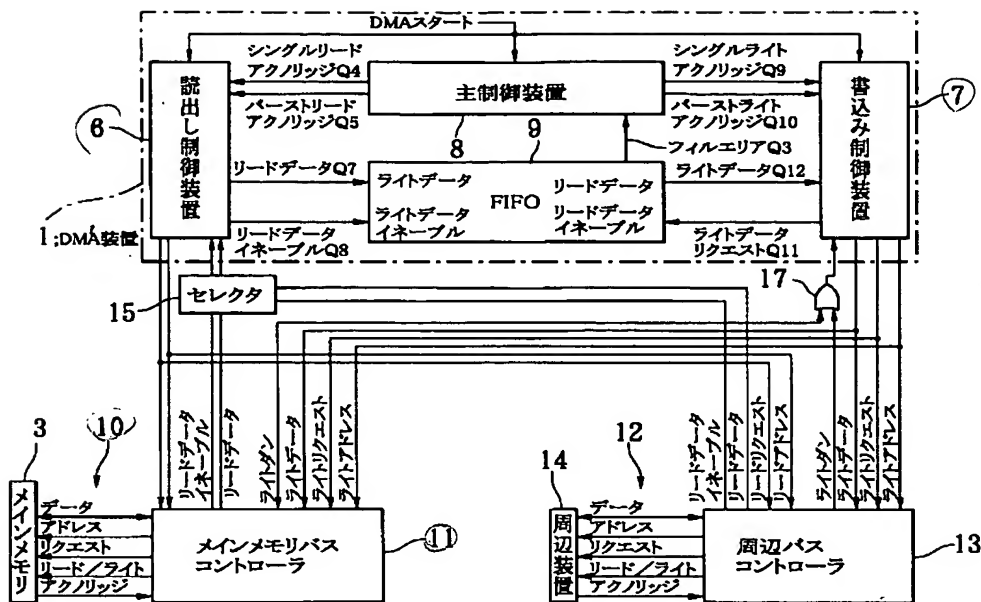
【図 1】



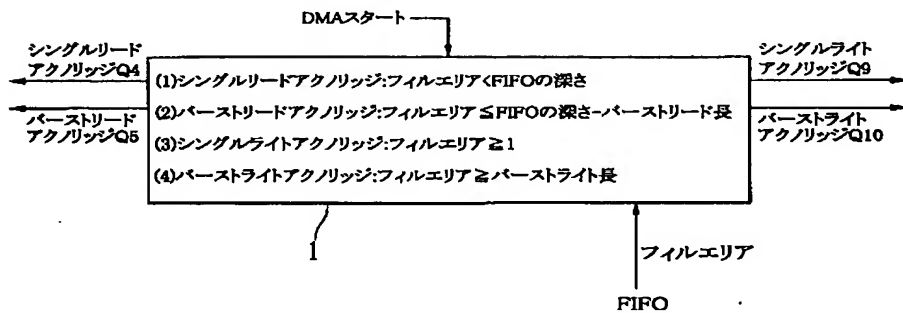
【図 11】



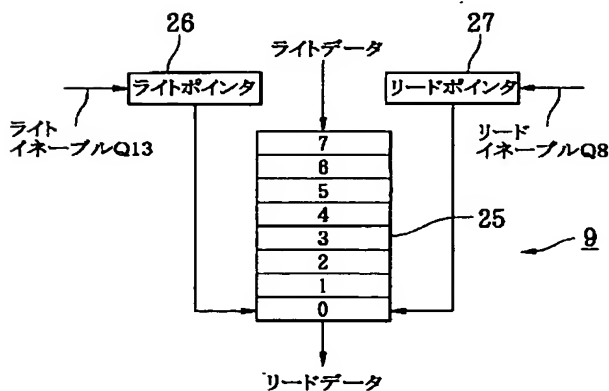
【圖2】



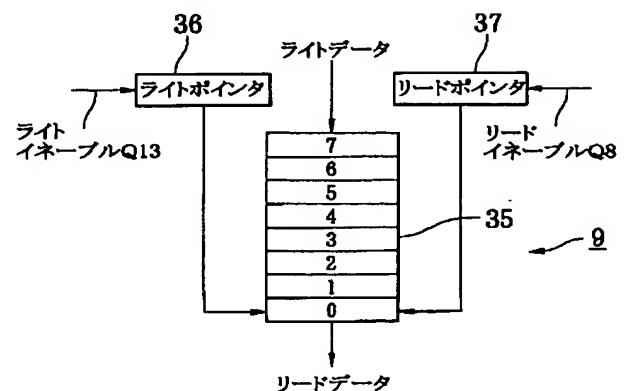
【図 3】



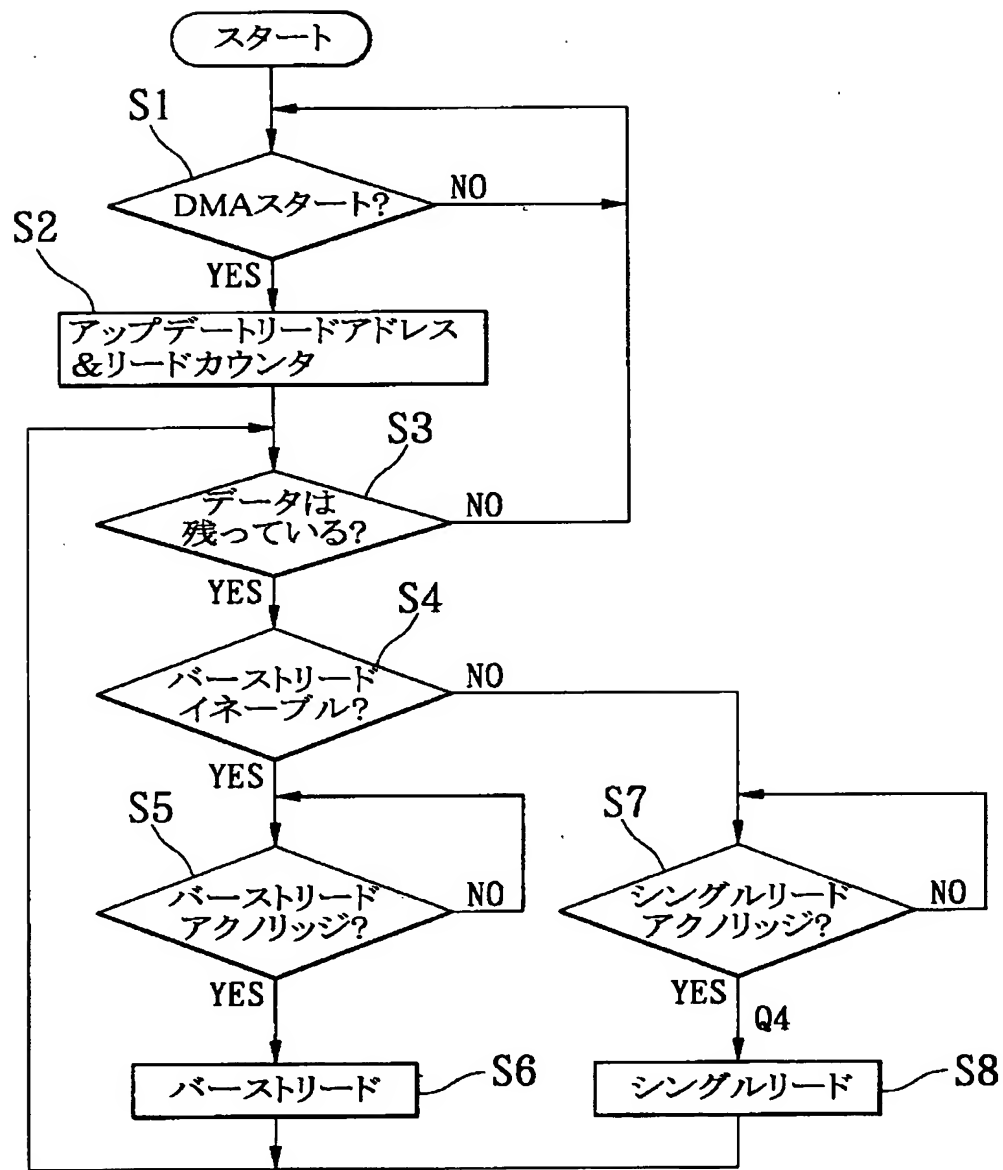
【圖 1 2】



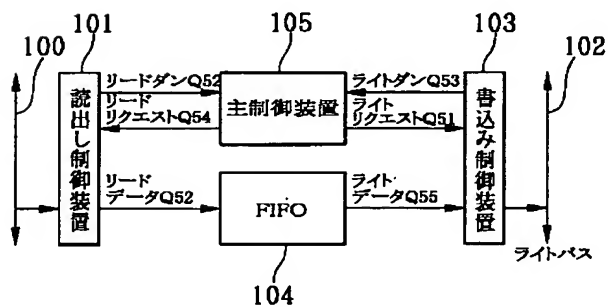
【图 18】



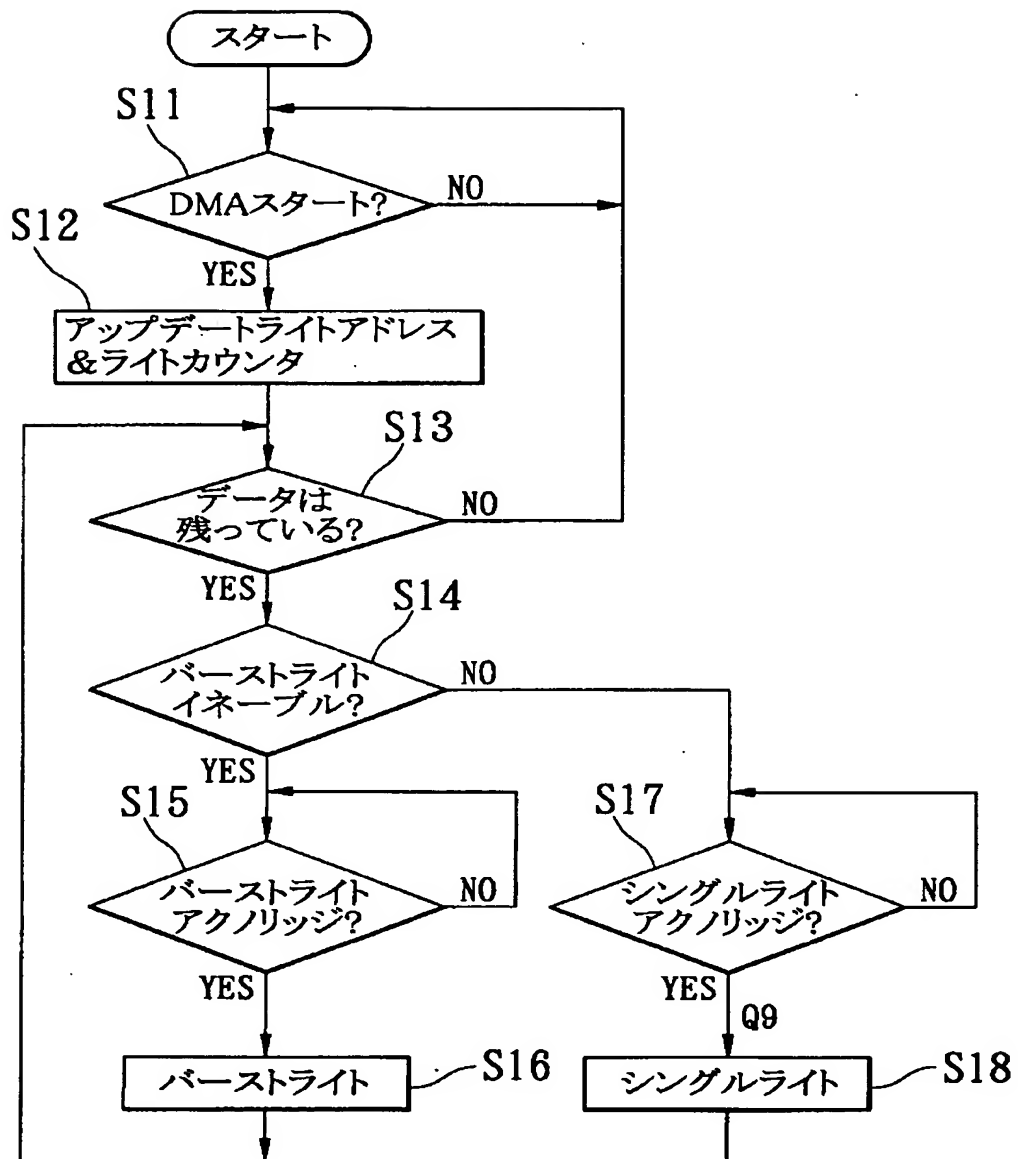
【図 4】



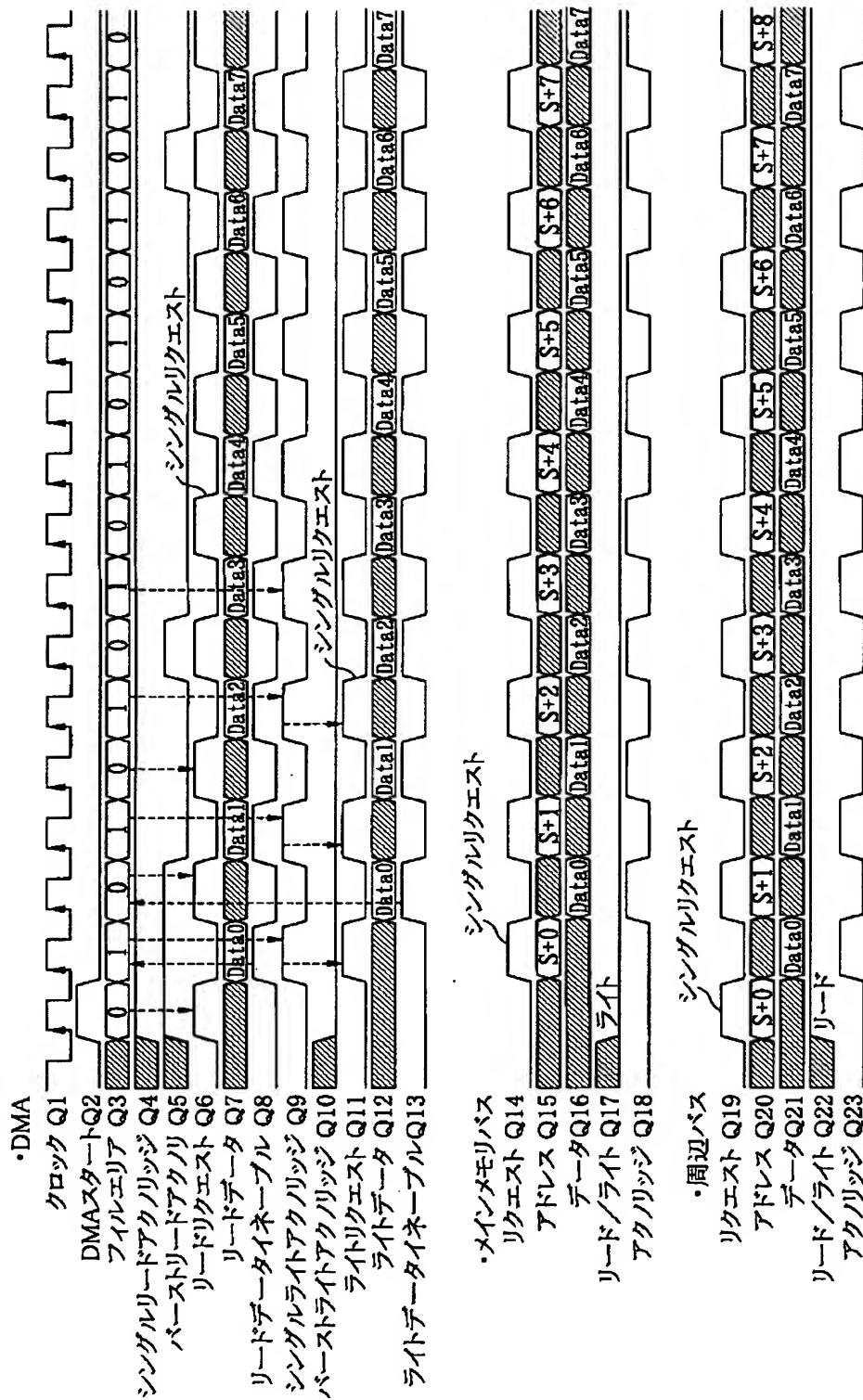
【図 2 1】



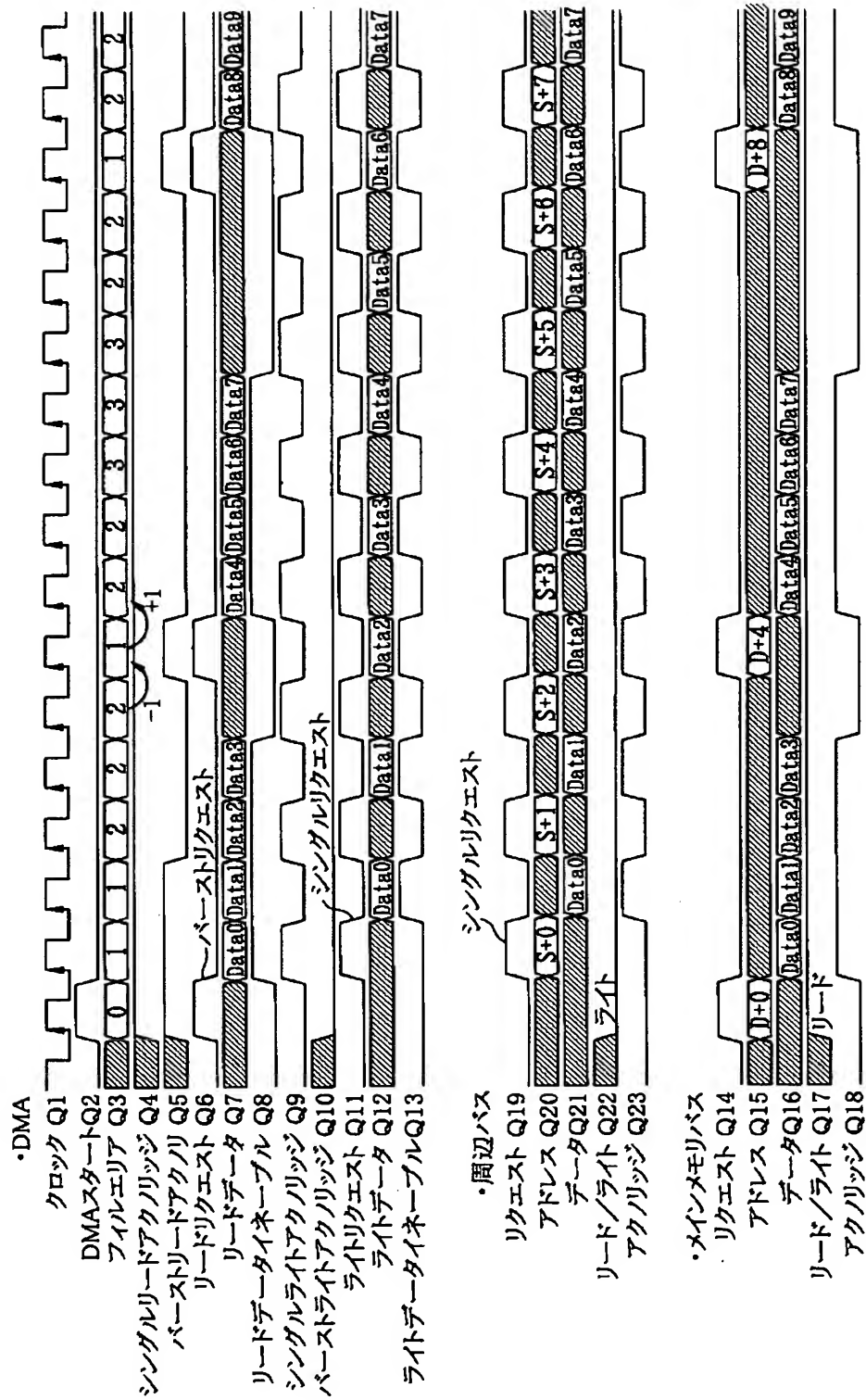
【図5】



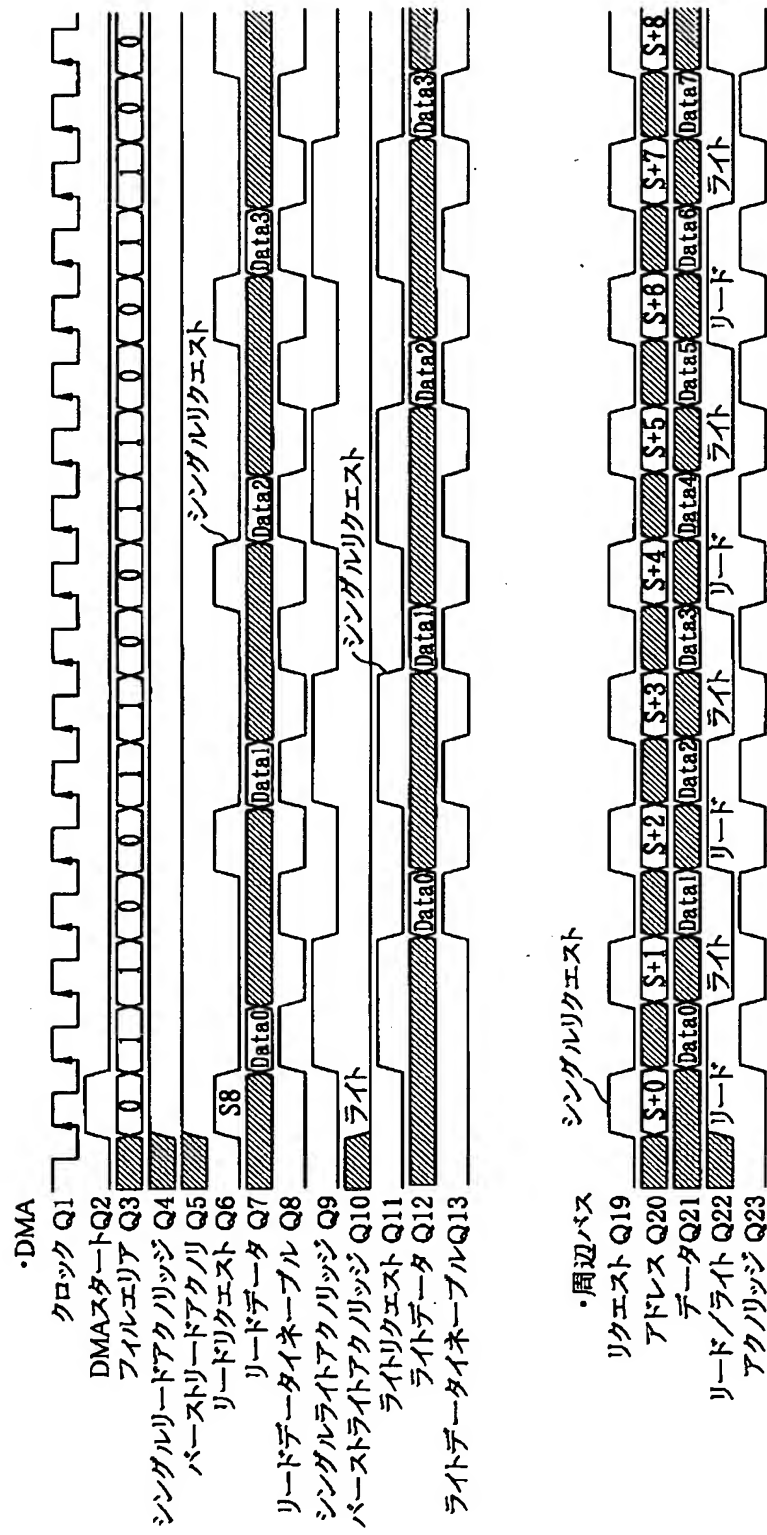
【図 6】



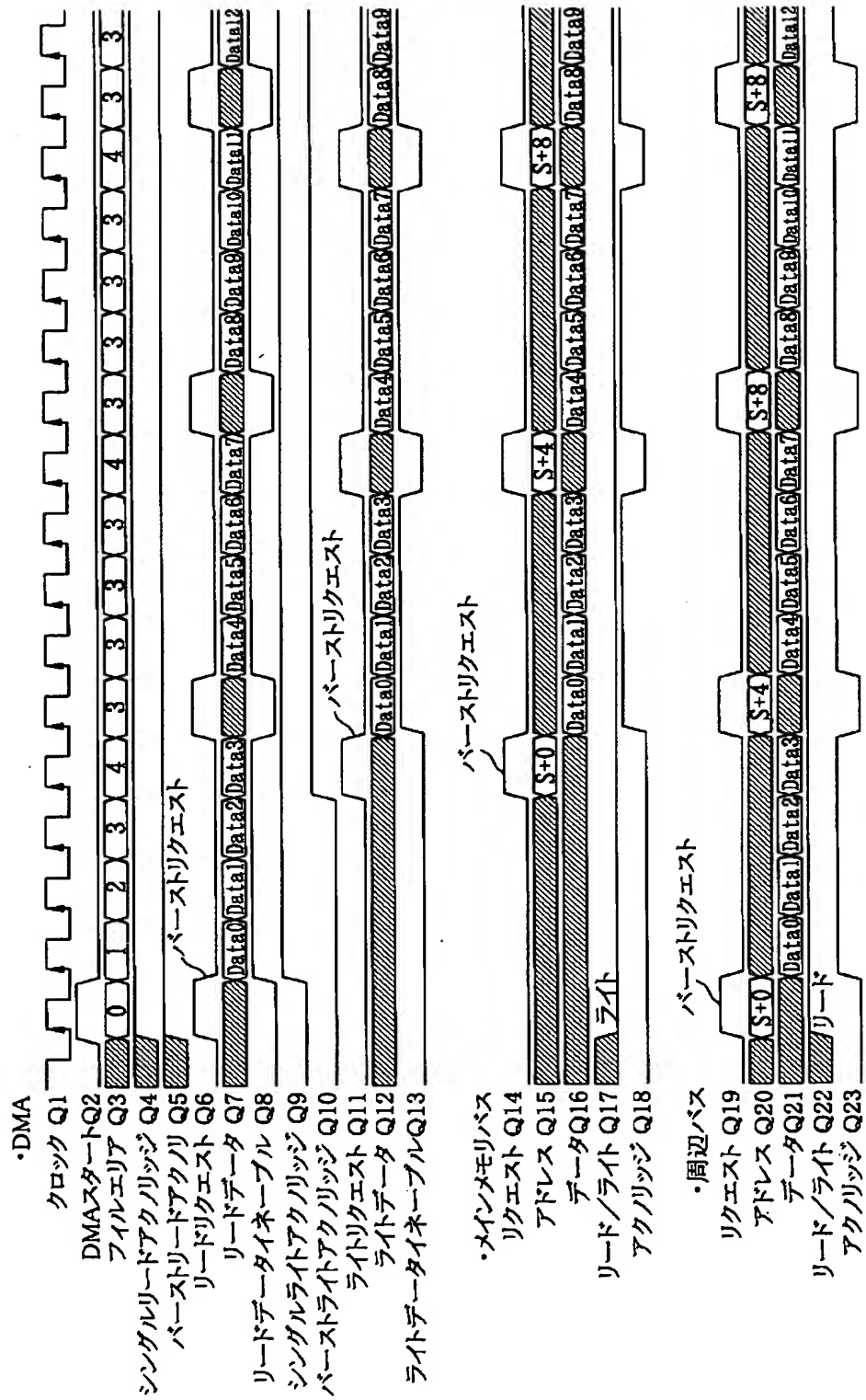
【図 8】



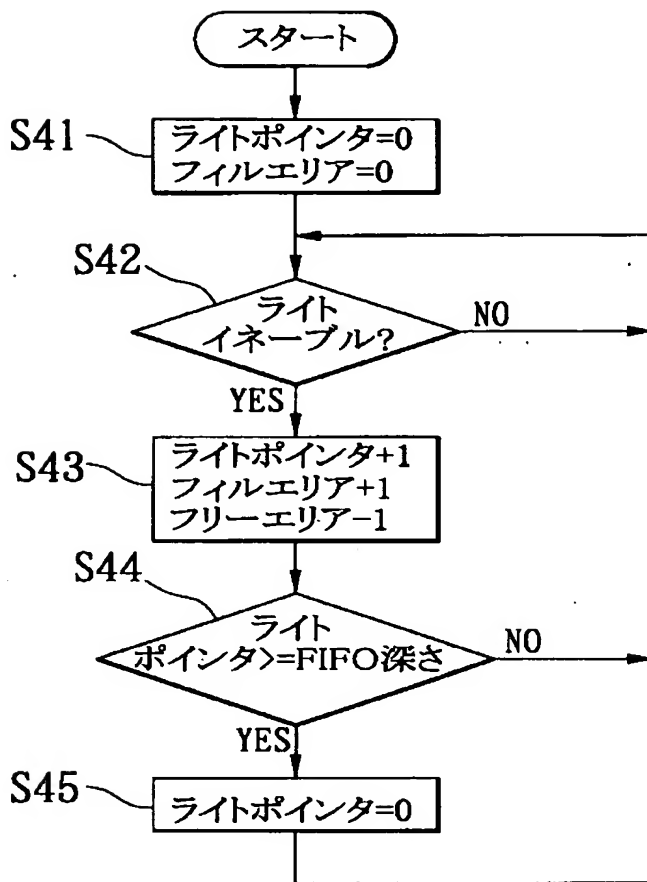
[図 9]



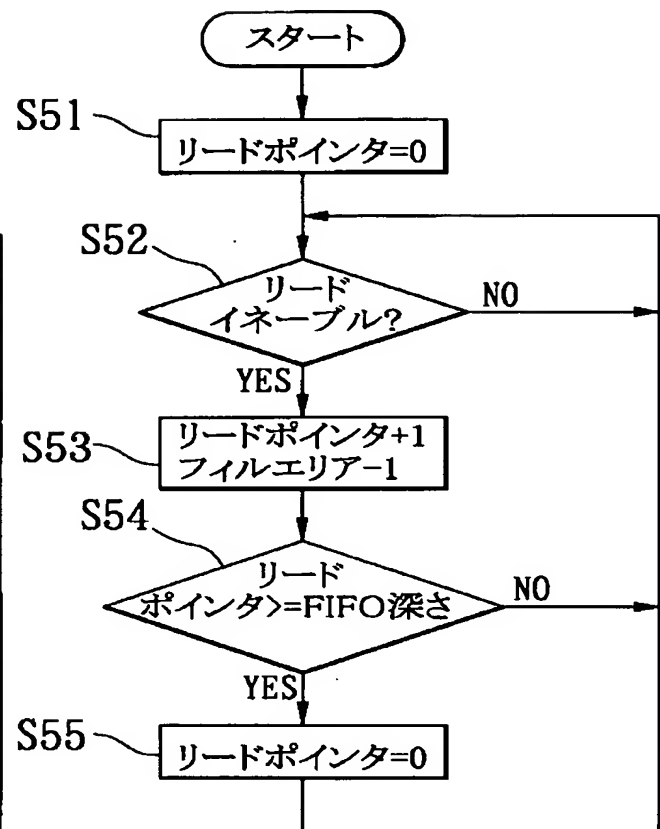
(図 10)



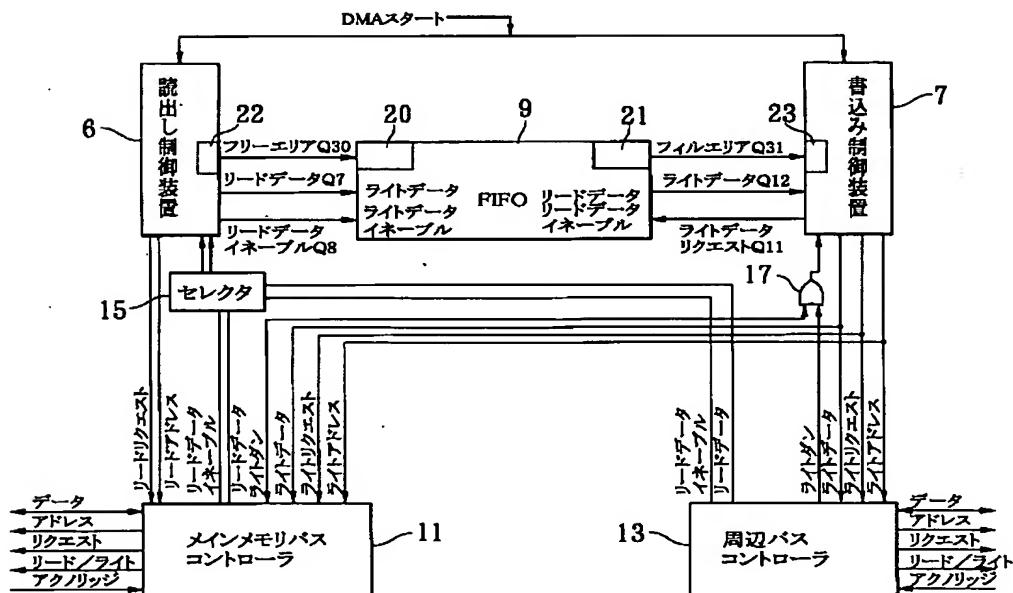
【図13】



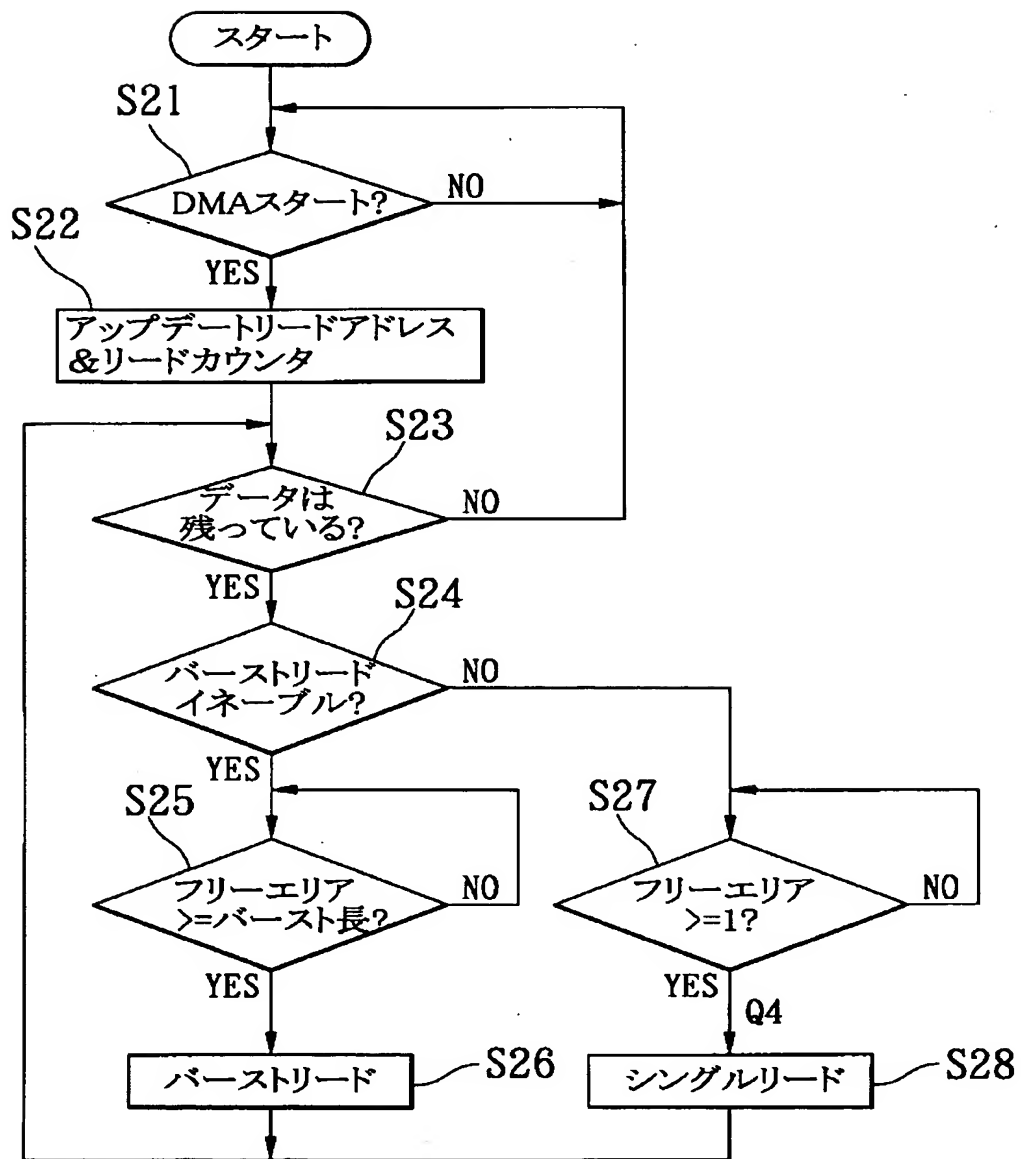
【図14】



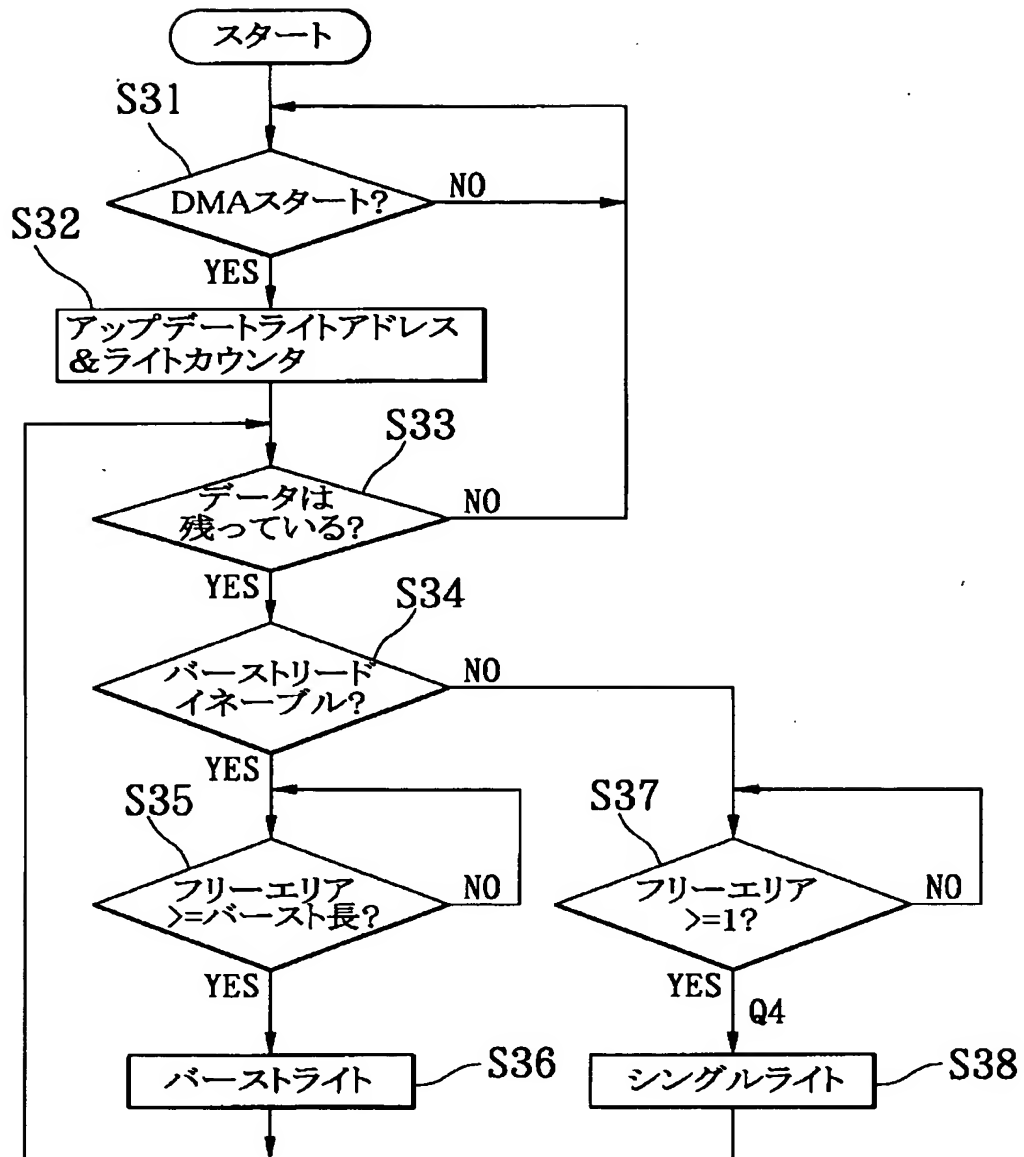
【図15】



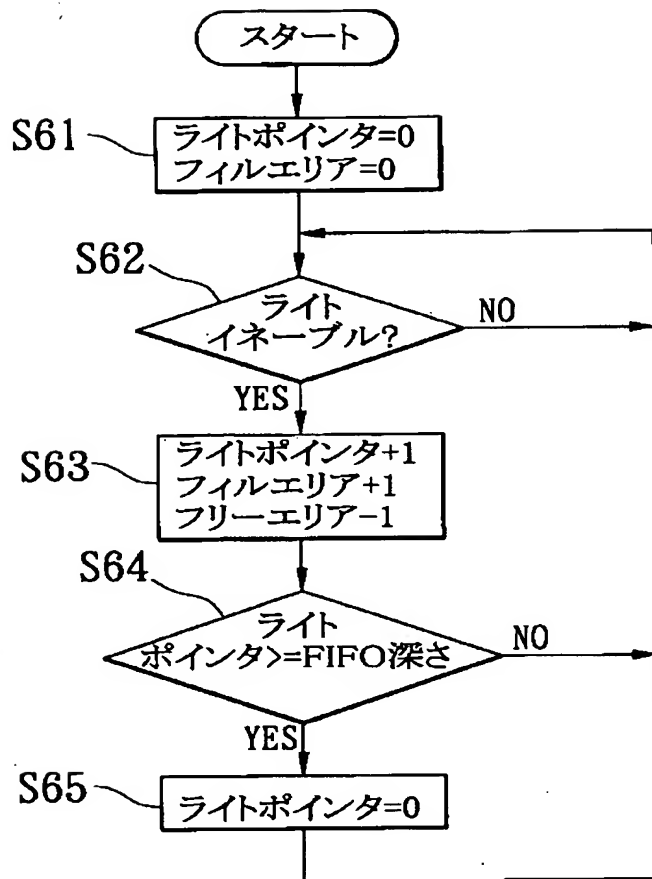
【図16】



【図17】



【図19】



【図20】

